

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-042494
 (43)Date of publication of application : 08.02.2002

(51)Int.CI. G11C 29/00
 G01R 31/28
 H01L 21/66

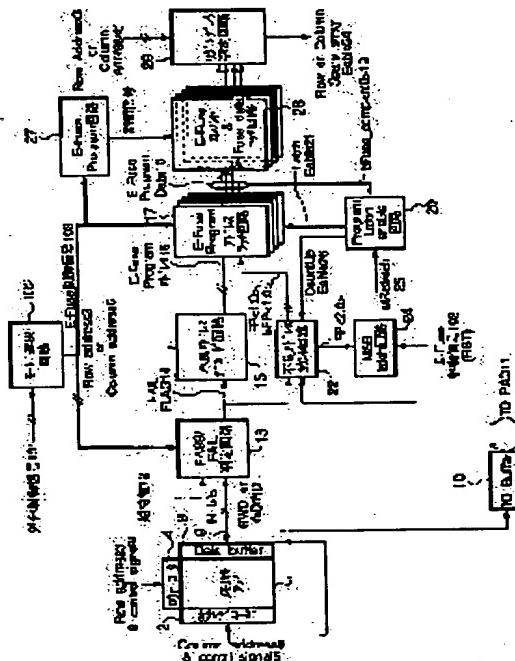
(21)Application number : 2000-219441 (71)Applicant : TOSHIBA MICROELECTRONICS CORP
 TOSHIBA CORP
 (22)Date of filing : 19.07.2000 (72)Inventor : NOMICHI HIROYUKI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To collectively and automatically perform recording of all E-Fuse use sets in a semiconductor memory.

SOLUTION: This device is provided with an E-Fuse use group which can program replacement data of a spare column of a cell array 1, a judging circuit 13 comparing bus data read out from a memory cell in accordance with an address input with an expected value signal and activating FAIL FLAG at the time of uncoincidence, a decoding circuit 15 generating column fuse data from a column address input at the time of activating FAIL FLAG, a control circuit 27 programming replacement data of a spare column to the E-Fuse group based on an output of the decoding circuit, a latch circuit 28 latching program data of the E-Fuse group, and a redundancy judging circuit 29 outputting a spare column array activating signal when an output of this latch circuit coincides with an input of a column address.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特關2002-42494

(P2002-42494A)

(43)公開日 平成14年2月8日(2002.2.8)

(51) Int.Cl.⁷ 識別記号
G 1 1 C 29/00 6 7 1
G 0 1 R 31/28 6 0 3
H 0 1 L 21/66

F I	テ-マ-ト(参考)		
G 1 1 C 29/00	6 7 1 B	2 G 0 3 2	
	6 0 3 L	4 M 1 0 6	
H 0 1 L 21/66	W	5 L 1 0 6	
G 0 1 R 31/28	B		V

審査請求 未請求 請求項の数11 OL (全 16 頁)

(21) 出願番号 特願2000-219441(P2000-219441)
(22) 出願日 平成12年7月19日(2000.7.19)

(71)出願人 000221199
東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1
(71)出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72)発明者 野路 宏行
神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内
(74)代理人 100058479
弁理士 鈴江 武彦 (外6名)

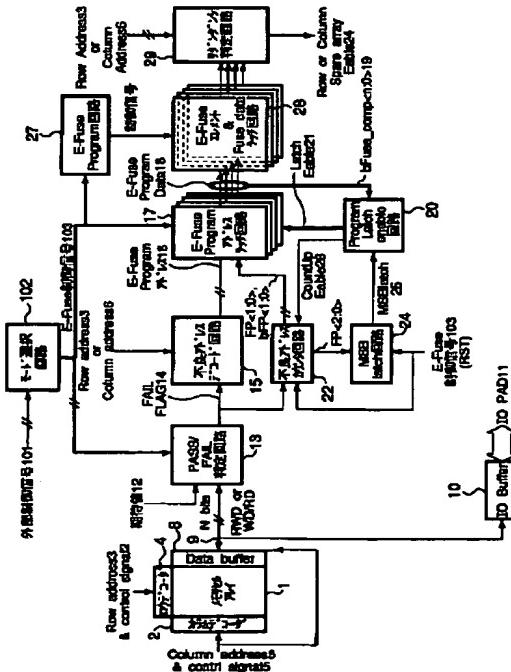
最終頁に統ぐ

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】半導体メモリにおいて、複数のE-Fuseセットのプログラムを内部で自動的に行い、全E-Fuseセットのプログラムを一括して行うこと可能とする。

【解決手段】セルアレイ1のスペアカラムの置き換えデータをプログラム可能なE-Fuse群と、アドレス入力に応じてメモリセルから読み出されたバスデータとその期待値信号とを比較して不一致時にFAIL FLAGを活性化する判定回路13と、FAIL FLAGの活性時にカラムアドレス入力からカラムヒューズデータを生成するデコード回路15と、このデコード回路の出力に基づいてスペアカラムの置き換えデータをE-Fuse群にプログラムする制御回路27と、E-Fuse群のプログラムデータをラッチするラッチ回路28と、このラッチ回路の出力とカラムアドレス入力とが一致した場合にスペアカラムアレイ活性化信号を出力するリダンダンシ判定回路29とを具備する。



1

【特許請求の範囲】

【請求項1】 1つ以上のスペアカラムを含むメモリセルアレイと、前記スペアカラムの置き換えデータをプログラム可能な電気破壊型ヒューズ群と、ロウアドレス入力に応じて前記メモリセルアレイのワード線を駆動するロウデコーダと、カラムアドレス入力に応じて前記メモリセルアレイのカラム選択線を駆動するカラムデコーダと、前記ロウアドレス入力およびカラムアドレス入力に応じて選択される前記メモリセルアレイのメモリセルに書き込みが期待されている期待値信号と前記メモリセルから読み出されるデータとを比較して不一致の場合に不一致信号出力を活性化する比較回路と、前記カラムアドレス入力と前記比較回路の出力が入力され、前記比較回路からの不一致信号が活性化している時に前記カラムアドレス入力からカラムヒューズ選択データを生成して出力するデコード回路と、前記デコード回路の出力情報に基づいて前記スペアカラムの置き換えデータを前記電気破壊型ヒューズ群にプログラムする制御回路とを具備することを特徴とする半導体記憶装置。

【請求項2】 前記電気破壊型ヒューズ群の出力データをラッチするラッチ回路と、前記ラッチ回路の出力と前記カラムアドレス入力とを比較して前記スペアカラムの選択アドレスと一致した場合にスペアカラムアレイ活性化信号を出力するリダンダンシ判定回路とをさらに具備することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記比較回路からの不一致信号をカウントする任意ビット数のカウンタ回路をさらに具備し、前記デコード回路は、前記カウンタ回路の出力に基づいて複数のスペアカラムから選択すべきスペアカラムの位置情報をデコードすることを特徴とする請求項1または2記載の半導体記憶装置。

【請求項4】 前記デコード回路は、前記カウンタ回路の出力が特定のビット値になったことによりスペアカラムの本数の全てにプログラムがなされたことを確認する信号を活性化することを特徴とする請求項3記載の半導体記憶装置。

【請求項5】 1つ以上のスペアロウを含むメモリセルアレイと、前記スペアロウの置き換えデータをプログラム可能な電気破壊型ヒューズ群と、ロウアドレス入力に応じて前記メモリセルアレイのワード線を駆動するロウデコーダと、カラムアドレス入力に応じて前記メモリセルアレイのカラム選択線を駆動するカラムデコーダと、前記ロウアドレス入力およびカラムアドレス入力に応じて選択される前記メモリセルアレイのメモリセルに書き込みが期待されている期待値信号と前記メモリセルから読み出されるデータとを比較して不一致の場合に不一致信号出力を活性化する比較回路と、前記ロウアドレス入力と前記比較回路の出力が入力され、前記比較回路からの不一致信号が活性化している時に前記ロウアドレス入力からロウヒューズデータを生成して出力するデコード回路と、前記デコード回路の出力情報に基づいて前記スペアロウの置き換えデータを前記電気破壊型ヒューズ群にプログラムする制御回路とを具備することを特徴とする半導体記憶装置。

2

込みが期待されている期待値信号と前記メモリセルから読み出されて前記データバッファから出力されるデータとを比較して不一致の場合に不一致信号出力を活性化する比較回路と、前記ロウアドレス入力と前記比較回路の出力が入力され、前記比較回路からの不一致信号が活性化している時に前記ロウアドレス入力からロウヒューズデータを生成して出力するデコード回路と、前記デコード回路の出力情報に基づいて前記スペアロウの置き換えデータを前記電気破壊型ヒューズ群にプログラムする制御回路とを具備することを特徴とする半導体記憶装置。

【請求項6】 前記電気破壊型ヒューズ群の出力データをラッチするラッチ回路と、前記ラッチ回路の出力と前記ロウアドレス入力とを比較して前記スペアロウの選択アドレスと一致した場合にスペアロウアレイ活性化信号を出力するリダンダンシ判定回路とをさらに具備することを特徴とする半導体記憶装置。

【請求項7】 前記比較回路からの不一致信号をカウントする任意ビット数のカウンタ回路をさらに具備し、前記デコード回路は、前記カウンタ回路の出力に基づいて複数のスペアロウから選択すべきスペアロウの位置情報をデコードすることを特徴とする請求項5または6記載の半導体記憶装置。

【請求項8】 前記デコード回路は、前記カウンタ回路の出力が特定のビット値になったことによりスペアロウの本数の全てにプログラムがなされたことを確認する信号を活性化することを特徴とする請求項7記載の半導体記憶装置。

【請求項9】 複数の外部制御信号の任意組み合わせにより複数の動作モードを選択的に指定する動作モード選択信号を出力し、所定の動作モード選択信号により前記比較回路および前記制御回路の動作を非活性化するモード選択回路をさらに具備することを特徴とする請求項1乃至8のいずれか1項に記載の半導体記憶装置。

【請求項10】 前記メモリセルアレイからデータを読み出す状態の時に、前記比較回路で比較するための期待値信号を外部から入力する手段をさらに具備することを特徴とする請求項1乃至9のいずれか1項に記載の半導体記憶装置。

【請求項11】 前記比較回路に入力する期待値をラッチするラッチ回路をさらに具備することを特徴とする請求項1乃至10のいずれか1項に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置に係り、特に不良メモリセルをスペアセルアレイに置き換えるリンクダッシュの自己プログラム手段（自己リペア機

能) を有する半導体記憶装置に関するもので、例えばメモリ集積回路、ロジック混載メモリ集積回路などに使用されるものである。

【0002】

【従来の技術】一般に、大容量の半導体メモリの量産に際して、テスト段階で検出された不良メモリセルをスペアセルアレイと置き換えて歩留まりを向上させるために、レーザビーム溶断型のヒューズ（以下、レザヒューズと記す）により置き換えアドレスデータをプログラムしている。¹⁰

【0003】半導体メモリの量産時のテストとしては、半導体ウェハーに素子を形成した後のウェハー状態で行うテスト（ダイソートテスト）と、メモリチップをパッケージ(PKG)に封入した後のテスト（以降、パッケージテストと記す）とが代表的である。

【0004】図9は、従来の半導体メモリのパッケージテストを行うテスト系の概念図を示している。

【0005】図9において、70はテスター(Tester)、100は複数の供試デバイス(DUT)である。半導体メモリの大容量化と共にパッケージテストの所要時間が長くなるので、パッケージテストの時間短縮およびコスト低減を図るために、同時にテストするDUT数を増やしている。²⁰

【0006】テスター70において、71はタイミングジェレータ、72はアドレス発生部、73はデータ発生部、74は制御信号ドライバ、75はアドレス信号ドライバ、76はデータ信号ドライバ、77はデータ入力バッファ、78はコンパレータ、79はパス(PASS)/フェイル(FAIL)判定回路である。ここで、前記制御信号ドライバ74、アドレス信号ドライバ75、データ信号ドライバ76、データ入力バッファ77、コンパレータ78、パス/フェイル判定回路79は、各DUT100に対応して設けられている。³⁰

【0007】パッケージテスト時には、タイミングジェレータ71、アドレス発生部72、データ発生部73で生成された各信号は、それぞれ制御信号ドライバ74、アドレス信号ドライバ75、データ信号ドライバ76を経て各DUT100に印加される。

【0008】そして、各DUT100の出力信号の読み出し時には、各DUT100から出力されるデータはDUTの入出力

(I/O)回路に該当するデータ入力バッファ77を経て、テスター70内部で生成される期待値信号とコンパレータ78⁴⁰で比較され、両者が一致すればパス(PASS)/不一致であればフェイル(FAIL)と判定する。現状のパッケージテストでは、FAILと判定したDUTを不良品としてリジェクトしている。

【0009】一方、近年、微細化が進むと共にメモリセルの構造も複雑になるにつれ、半導体ウェハーに素子を形成した後のウェハー状態で行うテスト（ダイソートテスト）では不良をスクリーニングすることができなくなり、パッケージ封入後の半導体メモリの信頼性の初期不良を検出するためのバーンインテストなどで不良が発生⁵⁰

する頻度が上がってきている。

【0010】そこで、この不良品の不良メモリセルを正常メモリセルに置き換える技術が開発されている。この置換技術の一つとして、半導体メモリのパッケージの外部ピンから高電圧を印加（あるいはパッケージの内部で発生した高電圧を印加）することにより配線の溶断あるいは絶縁膜の破壊を行うことが可能な電界印加ヒューズ（以下、E-Fuseと記す）を用い、このE-Fuseにより不良セルの置き換え情報をプログラムして、不良セルをスペアセルと置き換える方法がある。

【0011】図10は、半導体メモリに内蔵された複数のE-Fuseエレメントを選択的にプログラムするE-Fuseプログラム回路の従来のブロック構成を示している。

【0012】図10において、モード選択回路(Mode selector)81は、動作モードを選択するための制御信号が外部から入力し、Decoder制御信号あるいはプログラム(Program)制御信号を生成するものである。

【0013】E-Fuseアドレスデコーダ(E-Fuse Address decoder)82は、外部パッド（図示せず）からアドレス信号線などを介して入力する不良アドレス信号(Fail Address)、または、任意のセルアレイブロック内で複数のスペアセルアレイがある場合はE-Fuseを選択する場合に入力するFuse選択信号をデコードしてE-Fuseアドレス信号(E-Fuse Address)を生成するものである。

【0014】複数のE-Fuseエレメント&フューズデータ(Fuse data)ラッチ回路83は、前記E-Fuse Addressをラッチし、このラッチデータおよび前記Program制御信号に基づいてプログラムすべきE-Fuseを選択してプログラムするものである。

【0015】リダンダンシ判定回路84は、前記E-Fuseエレメント&Fuse dataラッチ回路83にラッチされたプログラム情報をロウあるいはカラムアドレス(Row or Column Address)信号と比較し、両者が一致した場合には、ノーマルアレイイネーブル信号をディセーブル状態にしてノーマルアレイへのアクセスを禁止し、ロウあるいはカラムのスペアアレイイネーブル信号(Spare Array Enable)を活性化してスペアアレイへのアクセスを許可するものである。

【0016】図11は、図10中のE-Fuseエレメント&Fuse dataラッチ回路83のE-Fuseエレメントの1ビット分の具体例を示している。

【0017】不良アドレス情報を置き換えるためには、不良アドレスは複数ビットの組み合わせからなるので、図11に示したE-Fuseエレメントの1ビット分の回路は複数ビット分用意されている。

【0018】ここで、Fuse Prog信号とMode信号は、図10中のProgram制御信号に相当する。address信号は、図10中のE-fuse addressの1ビットに相当する。FUP0_b信号とFUP1信号は、電源電圧VDDの立ち上がりを感じて動作するパワーオン回路（図示せず）から出力

される信号である。

【0019】図12(a)、(b)は、図11のE-Fuseエレメント&Fuse data ラッチ回路83のプログラム/ベリファイ(Program/Verify)動作およびデータラッチ(dataLatch)動作のシーケンスを示している。

【0020】プログラム動作においては、Fuse Prog 信号が“H”になり、トランジスタTrN0がオフする。次に、Mode信号とaddress 信号が共に“H”になり、トランジスタTrN1がオンする。その後に、パッド(PAD)から高電圧を印加することにより、PAD→E-Fuse→TrN1→接地電位GND の経路に電流が流れ、この時にE-Fuseが破壊される。ここで、E-Fuseが電界溶断型Fuseであるとすると、E-Fuseの配線が溶断され、E-Fuseが開放状態になる。なお、前記高電圧はメモリチップの内部で生成してもよい。また、E-Fuseが例えば絶縁膜破壊型Fuseであるとすると、E-Fuseの絶縁膜が破壊され、E-Fuseの配線が導通し、E-Fuseが導通状態になる。

【0021】この後、ベリファイ動作においては、PADに読み出し用の低電圧を印加し、前記と同じ経路PAD→E-Fuse→TrN1→接地電位GND の電流値を測定することにより、E-Fuseの破壊状態を確認する。

【0022】データラッチ動作においては、電源電圧VDが立ち上がった後、FUP1信号が“L”的ままでFUP0_b信号が“L”→“H”に遷移し、出力Outputが“L”にラッピングされる。次に、上記FUP0_b信号が“H”的状態でFUP1信号が一定期間“H”になる。この時点では、Program 制御信号に相当するFuse Prog 信号とMode信号はそれぞれ“L”であり、トランジスタTrN0がオン、トランジスタTrN1がオフになっている。

【0023】したがって、この時点でE-Fuseが破壊されていらない（導通状態）場合には、E-FuseとトランジスタTrN0を介してノードNode1 の電荷がGND に引き抜かれ、出力Outputが反転する。上記とは逆に、E-Fuseが破壊されている（開放状態）場合には、前記ノードNode1 の電荷を引き抜く経路がないので、この動作状態が維持される。そして、前記FUP1信号が“H”→“L”に遷移した後、出力Outputの状態が保持される。

【0024】そして、通常動作時には、図10中のリダンダント判定回路84が上記したようなE-Fuseエレメント&Fuse data ラッチ回路83のプログラム情報（出力Output）をロウアドレス信号あるいはカラムアドレス信号(Row or Column Address)と比較し、両者が一致した場合には、ノーマルアレイイネーブル信号をディセーブル(Disable) 状態にし、スペアアレイイネーブル信号(Spare Array Enable) を活性化してスペアアレイ(Spare Array) を活性化する。

【0025】図13は、前記したような従来のE-Fuse Program回路を内蔵したメモリデバイス(DTU)のパッケージテストを行うために考えられるテスト系の概念図を示している。

【0026】このテスト系は、図9を参照して前述したテスト系と比べて、テスタ70a の内部に、不良解析用メモリ200 およびリダンダント・サーチエンジン300 をDUT 数と同数分だけ増設している点が異なり、その他は同じであるので図9中と同一符号を付している。

【0027】パッケージテスト時には、タイミングジェレータ71、アドレス発生部72、データ発生部73で生成された各信号は、それぞれ制御信号ドライバ74、アドレス信号ドライバ75、データ信号ドライバ76を経て各DUT100 に印加される。

【0028】そして、各DUT100の読み出し時には、各DUT100から出力されるデータとテスタ70a 内部で生成される期待値信号がコンパレータ78で比較され、両者が一致すればパス(PASS)／不一致であればフェイル(FAIL)と判定する。この判定結果（各アドレスビットのパス・ファイル情報）は不良解析用メモリ200 に格納される。この場合、不良解析用メモリ200 は、各DUT100の記憶容量分、あるいは最小スペアアドレス単位を1ビットとして任意圧縮領域の記憶容量分が必要になる。

【0029】そして、パッケージテスト終了後に、リダンダント・サーチエンジン300 により不良解析用メモリ200 の内容を高速に探索し、リダンダントの可否のチェックおよびリダンダント用データの生成を行う。この場合、リダンダント・サーチエンジン300 は、膨大なデータ量を高速に処理する必要があり、通常は高性能のCPUが用いられる。

【0030】しかし、上記したような図13に示したテスト系において、不良解析用メモリ200 は、1つのDUT100の記憶容量にDUT 数を掛けた記憶容量が必要になる。例えば、64MbのDUT100を64個同時に測定できるテスタ70a の場合には、不良解析用メモリ200 の全記憶容量として4Gb 必要になる。また、リダンダント・サーチエンジン300 によってリダンダントの可否のチェック処理も高速化するためには、複数個の高性能CPU によるパラレル処理が必要になる。

【0031】さらに、従来のパッケージテスト後においては、リダンダント・サーチエンジン300 により生成したリダンダント用データをテスタ70a によって各DUT100 にプログラムする必要がある。

【0032】この場合、各DUT100には、複数のスペアアレイ群が存在するので、それに対応して複数組のE-Fuseエレメントを備えたE-Fuseセットが複数用意されている。そして、各E-Fuseセットはセットするアドレスが異なるので、各スペアセルアレイに該当するアドレス毎にシリアルにプログラムする必要がある。

【0033】しかも、各DUT100の不良情報は異なるので、各DUT100毎にプログラムをシリアルに行う必要がある。例えば、1つのDUT100にプログラムするスペアセルアレイ数が64箇所であり、同時テストの対象となるDUT数が64個の場合、1回のプログラム時間の4K倍の時間を

必要とすることになる。

【0034】

【発明が解決しようとする課題】上記したように複数のE-Fuseセットを有する半導体メモリの複数個を同時テストの対象とするパッケージテストを行うために、不良解析用メモリおよびリダンダンシ・サーチエンジンをDUT数と同数分だけ増設するテストは、既存のパッケージテスト用のテストと比べて大幅な設備投資が必要であり、テスト時間も長くなり、テストコストが増加してしまうという問題があった。

10

【0035】本発明は上記の問題点を解決するためになされたもので、複数のE-Fuseセットのプログラムを内部で自動的に行い、且つ、全てのE-Fuseセットのプログラムを一括して行うことが可能になり、既存のパッケージテスト用のテストによる比較的簡単な設備でテスト時間を殆んど増加させることなく不良セルを置換し得る半導体記憶装置を提供することを目的とする。

【0036】

【課題を解決するための手段】本発明の第1の半導体記憶装置は、1つ以上のスペアカラムを含むメモリセルアレイと、前記スペアカラムの置き換えデータをプログラム可能な電気破壊型ヒューズ群と、ロウアドレス入力に応じて前記メモリセルアレイのワード線を駆動するロウデコーダと、カラムアドレス入力に応じて前記メモリセルアレイのカラム選択線を駆動するカラムデコーダと、前記ロウアドレス入力およびカラムアドレス入力に応じて選択される前記メモリセルアレイのメモリセルに書き込みが期待されている期待値信号と前記メモリセルから読み出されたデータとを比較して不一致の場合に不一致信号出力を活性化する比較回路と、前記カラムアドレス入力と前記比較回路の出力が入力され、前記比較回路からの不一致信号が活性化している時に前記カラムアドレス入力からカラムヒューズ選択データを生成して出力するデコード回路と、前記デコード回路の出力情報に基づいて前記スペアカラムまたはスペアロウの置き換えデータを前記電気破壊型ヒューズ群にプログラムする制御回路とを具備することを特徴とする。

【0037】ここで、前記比較回路からの不一致信号をカウントする任意ビット数のカウンタ回路をさらに具備し、前記デコード回路は、前記カウンタ回路の出力に基づいて複数のスペアカラムから選択するべきスペアカラムの位置情報をデコードし、前記カウンタ回路の出力が特定のビット値になったことによりスペアカラムの本数の全てにプログラムがなされたことを確認する信号を活性化することが望ましい。

【0038】なお、上記第1の半導体記憶装置において、前記電気破壊型ヒューズ群の出力データをラッチするラッチ回路と、前記ラッチ回路の出力と前記カラムアドレス入力を比較して前記スペアカラムの選択アドレスと一致した場合にスペアカラムアレイ活性化信号を出

力するリダンダンシ判定回路とをさらに具備することが望ましい。

【0039】本発明の第2の半導体記憶装置は、1つ以上のスペアロウを含むメモリセルアレイと、前記スペアロウの置き換えデータをプログラム可能な電気破壊型ヒューズ群と、ロウアドレス入力に応じて前記メモリセルアレイのワード線を駆動するロウデコーダと、カラムアドレス入力に応じて前記メモリセルアレイのカラム選択線を駆動するカラムデコーダと、前記ロウアドレス入力およびカラムアドレス入力に応じて選択される前記メモリセルアレイのメモリセルに書き込みが期待されている期待値信号と前記メモリセルから読み出されて前記データバッファから出力されるデータとを比較して不一致の場合に不一致信号出力を活性化する比較回路と、前記ロウアドレス入力と前記比較回路の出力が入力され、前記比較回路からの不一致信号が活性化している時に前記ロウアドレス入力からロウヒューズデータを生成して出力するデコード回路と、前記デコード回路の出力情報に基づいて前記スペアロウの置き換えデータを前記電気破壊型ヒューズ群にプログラムする制御回路とを具備することを特徴とする。

【0040】ここで、前記比較回路からの不一致信号をカウントする任意ビット数のカウンタ回路をさらに具備し、前記デコード回路は、前記カウンタ回路の出力に基づいて複数のスペアロウから選択するべきスペアロウの位置情報をデコードし、前記カウンタ回路の出力が特定のビット値になったことによりスペアロウの本数の全てにプログラムがなされたことを確認する信号を活性化することが望ましい。

【0041】なお、上記第2の半導体記憶装置において、前記電気破壊型ヒューズ群の出力データをラッチするラッチ回路と、前記ラッチ回路の出力と前記ロウアドレス入力を比較して前記スペアロウの選択アドレスと一致した場合にスペアロウアレイ活性化信号を出力するリダンダンシ判定回路とをさらに具備することが望ましい。

【0042】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0043】<実施形態1>図1は、本発明の第1の実施の形態に係るメモリ集積回路(デバイス)の一例の構成の概念を示すブロック図である。

【0044】図1に示すデバイスにおいて、メモリセルアレイ1のワード線WLを選択するためにロウアドレス(Row Address)信号3と制御信号(control signal)2がロウデコーダ(Row Decoder)4に入力される。また、読み出しされた書込みを行なうビット線BLを選択するためにカラムアドレス(Column Address)信号6と制御信号(control signal)5がカラムデコーダ(Column decoder)7に入力される。8はメモリセルアレイ1との間でデータを授

9

受するデータバッファ(Data Buffer)回路である。9はリードライトデータRWDあるいはライト/リードのセパレートデータWD/RDを伝達させるデータバスであり、10は上記データ信号RWDあるいはWD/RDを外部の入出力パッド(IO PAD)11との間で入出力するための入出力バッファ(IO buffer)回路である。なお、前記データバス9は、1つのメモリセルアレイ1に対して複数本存在する場合もある。

【0045】以下、Fuseアドレスを表わす複数のFuseビットのグループをFuse elementと呼び、スペアロウ(あるいはスペアカラム)により例えば4箇所の置き換えが可能な構成を有し、Fuse elementは4箇所分あるものとする。

【0046】モード選択回路(Mode Selector)102は、外部から入力する動作モードを選択するための制御信号101群が通常動作時と異なる波形の組み合わせで入力することにより、E-Fuse制御信号103を生成し、パス/フェイル(PASS/FAIL)判定回路13、E-Fuse Program(プログラム)アドレスラッチ&コンペア回路17群およびE-Fuse Program回路27に供給するものである。
20

【0047】前記PASS/FAIL判定回路13は、前記Data Buffer回路8の出力と外部のテスターから供給される(またはメモリチップ内部で生成される)期待値信号とを比較し、両者が一致すればパス(PASS)/不一致であればフェイル(FAIL)と判定し、フェイル判定時にはフェイルフラグ(FAIL FLAG)14を活性化するものである。

【0048】不良アドレスデコード回路15は、前記PASS/FAIL判定回路13からFAIL FLAG 14を受け、FAIL FLAG 14が“H”(活性状態)の場合にロウアドレス信号(Row Address)3またはカラムアドレス信号(Column Address)6³⁰をデコードしてE-Fuse Programアドレス信号16を生成して出力するものである。

【0049】前記E-Fuse Programアドレスラッチ&コンペア回路17群は、前記不良アドレスデコード回路15からE-Fuse Programアドレス信号16の各ビットに対応するアドレスラッチ回路群にデータが入力され、後述するプログラム・ラッチ・イネーブル(Program Latch enable)回路20から入力されるLatch enable(ラッチ・イネーブル)信号21が活性化された場合に前記E-Fuse Programアドレス信号16を前記アドレスラッチ回路群にラッチし、
40 E-Fuse Program Data 18を出力するものである。また、前記E-Fuse Programアドレス信号16をラッチする以前に、このE-Fuse Programアドレス信号16と現在のラッチ状態を比較して、Fuse element毎に全ビットのデータを比較した結果としてbFuse comp<n:0>信号19を出力する。

【0050】前記Program Latch enable回路20は、前記bFuse comp<n:0>信号19が入力され、全Fuse element中に合致(マッチ)したアドレスがない場合には不良アドレスカウンタ回路22にCount Up Enable(カウントアッ
50

10

プ・イネーブル)信号26を出力する。また、前記した全Fuse element中にマッチしたアドレスがなく、かつ、後述するようにプログラム済みのFuse element数のカウント出力に基づいて同一エレメントへの多重プログラムを防ぐために生成されるMSB latch信号25が非活性状態の場合には、前記Latch Enable信号21を活性化する。

【0051】前記不良アドレスカウンタ回路22は、前記Mode Selector 102から出力されるE-Fuse制御信号103中のRST信号により、内部の3ビットのカウンタ回路が初期化される。そして、前記PASS/FAIL判定回路13からFAIL FLAG 14を受け、FAIL FLAG 14が“H”(活性化状態)であり、かつ、前記Program Latch enable回路20からのCount Up Enable信号26が活性化状態である場合のみ、前記3ビットのカウンタ回路がカウントアップする。そして、カウント出力FP<2:0>のうちの下位2ビット信号FP<1:0>およびその反転信号bFP<1:0>は前記E-Fuse Programアドレスラッチ&コンペア回路17群に入力される。また、上記カウント出力FP<2:0>はMSBラッチ(MSB latch)回路24に入力される。

【0052】上記MSB latch回路24は、前記Mode Selector 102から出力されるE-Fuse制御信号103中のRST信号により初期化される。そして、前記不良アドレスカウンタ回路22からFP<2:0>が入力され、最初に特定のカウント値を検知した時に活性化するMSB latch信号25を出力する。

【0053】一方、前記E-Fuse Program回路27は、前記Mode Selector 102からのE-Fuse制御信号103に基づいて制御信号を出力するものである。

【0054】E-Fuseエレメント&Fuse dataラッチ回路28群は、前記メモリセルアレイ1の近傍に配設されており、前記E-Fuse Program回路27からの制御信号を受け、前記E-Fuse Programアドレスラッチ&コンペア回路17群からのE-Fuse Program data18に基づいてプログラムすべきE-Fuseを選択してプログラムし、その状態をラッチするものである。このE-Fuseエレメント&Fuse dataラッチ回路28群は、Fusedataの1ビット毎に図11を参照して前述したような回路を備えており、ここではその詳述を省略する。

【0055】リダンダシ判定回路29は、前記E-Fuseエレメント&Fuse dataラッチ回路28群にラッチされたプログラム情報をRow Address 3またはColumn Address 6と比較し、両者が一致した場合には、ノーマルアレイイネーブル信号をディセーブル状態にしてノーマルアレイへのアクセスを禁止し、ロウあるいはカラムのスペアアレイイネーブル信号(Spare Array Enable)
50を活性化してスペアアレイ(Spare Array)へのアクセスを許可するものである。

【0056】図2は、図1中のメモリセルアレイ1に接続されているビット線センスアンプS/A群、カラム選択スイッチSW群、データバッファ(DQ Buffer)8群、データ

バス9 およびPASS/FAIL判定回路13の一例を示す。ここでは、カラムスペア選択の最小単位がカラム選択線毎である場合の一例を示している。

【0057】図2において、ビット線（カラム線）対BL/bBLの信号がビット線センスアンプS/Aで増幅された信号SBL/bSBLは、カラム選択線CSL<0>あるいはCSL<1>により選択されるカラム選択スイッチSWを介してデータ線対DQ<0:3>/bDQ<0:3>に転送される。このデータ線対DQ<0:3>/bDQ<0:3>は、データバッファ(DQ buffer)回路8を介してデータバス9に接続される。この実施例では、1カラムの選択に対して4ビットのバスデータRWD<0:3>が出力される。

【0058】PASS/FAIL判定回路13は、上記バスデータRWD<0:3>とこれに該当する期待値データD<0:3>が入力され、この両入力の各対応するビット毎のデータは排他的ノア回路NEXOR<0:3>に入力され、このNEXOR<0:3>の各出力は第1の NAND 回路NAND1に入力することでカラム選択線毎にビット圧縮される。このNAND1の出力と、前記E-Fuse制御信号103が活性化されることにより“H”になるEnable信号が第2の NAND 回路NAND2に入力し、こ²⁰のNAND2の出力がインバータ回路IVを経てFAILFLAG 14となる。

【0059】したがって、前記Enable信号が“H”的期間に、両入力データが不一致であるとNAND1の出力が“H”になるので、FAIL FLAG 14が“H”（活性化状態）になり、両入力データが一致するとNAND1の出力が“L”になるので、FAIL FLAG 14が“L”になる。なお、前記Enable信号が“L”的期間には、NAND2の出力が“H”に固定され、FAIL FLAG 14が“L”に固定される。

【0060】図3は、図1中のE-Fuseエレメント&Fuse Data ラッチ回路28群で取り扱うFuse Data の構成の一例を示している。ここでは、カラム救済を行う場合の例を示しているが、ロウ救済を行う場合も同様である。

【0061】図1中のメモリセルアレイ1において、スペアセルアレイの置き換え可能な最小単位をブロックと称し、本例ではブロックは4つである。このブロック中にスペアカラムがあるが、最小置き換え単位は回路構成により異なる。本例では、最小置き換え単位を、図2を参照して前述したようにカラム選択線毎と仮定する。1ブロック当たり、64本のカラム選択線CSL<0:63>があ⁴⁰るとすると、カラム選択線のアドレス(Column Address)としてCA<0:7>の8ビットになる。

【0062】また、同一ブロック内にスペアカラムが複数ある場合は、スペアカラムの位置情報(Fuse Position)が必要である。本例では、4カラム選択線分のスペアカラムがあると仮定すると、スペアカラムの位置情報としてFP<0:1>の2ビットが必要である。したがって、本例では、1つのスペアカラムを選択するために10ビットが必要である。さらに、スペアカラムの選択・非選択を表わすフューズイネーブル信号(Fuse Enable)FEとし⁵⁰

て1ビットが必要である。

【0063】図4(a)は、図1中の不良アドレスデコード回路15の構成を示す。

【0064】図1中のPASS/FAIL判定回路13から出力されるFAIL FLAG 14が二段のインバータ回路41、42を経て前記フューズイネーブル信号FEとして出力し、Column Address 6(あるいはRow Address 3)が二段のインバータ回路43、44を経て、Failアドレス信号FA<0:7>として出力する。上記信号FEおよびFA<0:7>は、図1中のE-Fuse Programアドレス信号16に相当する。

【0065】図4(b)は、図1中の不良アドレスカウンタ回路22の構成およびその動作波形の一例を示す。

【0066】3ビット・カウンタ(3bit Counter)回路45は、図1中のMode Selector 102から出力されるE-Fuse制御信号103中のRST信号により初期化され、図1中のPASS/FAIL判定回路13から出力されるFAIL FLAGが活性化され、かつ、図1中のProgram Latch enable回路20から出力されるCount Up Enable信号が活性化される毎にカウントアップする。本例では、この3bit Counter回路45のカウント出力FP<2:0>のうちの下位2ビット信号FP<1:0>をスペアカラムの2ビットに対応させる位置情報として用いている。

【0067】いま、3bit Counter回路45が初期化されると、カウント出力FP<2:0>は“111”に初期化される。この初期値は、最初のFuse elementアドレスが“00”になるために必要である。次に、FAIL FLAGが活性化され、かつ、Count Up Enable信号が活性化された時にカウントアップされるが、FAIL FLAGが活性化されてもCount Up Enable信号が活性化されない場合はカウントアップされない。

【0068】カウント出力FP<2:0>のうち、FP<2>は最上位ビットMSBであり、下位2ビット信号FP<1:0>は二段のインバータ回路46、47を経て出力するとともに、インバータ回路48を経て反転信号bFP<1:0>として出力する。これらの出力信号FP<1:0>およびbFP<1:0>は図1中のE-Fuse Programアドレスラッチ&コンペア回路17群に⁵⁰入力され、さらに、前記MSBを含む3ビットの出力信号FP<2:0>は、図1中のMSB latch回路24に入力される。

【0069】図5(a)は、図1中のE-Fuse Programアドレスラッチ&コンペア回路17群の構成の一例を示す。

【0070】図1中の不良アドレスデコード回路15から出力されるフューズイネーブル信号FEはFEラッチ回路

(FE Latch Circuit)51に入力し、前記不良アドレスデコード回路15から出力されるFailアドレス信号FA<0:7>はFA<0:7>ラッチ回路(FA<0:7> Latch Circuits)52に入力する。これらのラッチ回路51、52は、図1中のMode Selector 102から出力されるE-Fuse制御信号103中のRST信号により初期化されて出力が“L”になる。

【0071】そして、Latch信号生成回路50から出力されるLatch信号が活性化された時に、前記FE入力とFA<

13

$0:7>$ 入力をラッチし、FE Latch 信号、FA Latch $<0:7>$ 信号を出力する。上記FE Latch 信号、FA Latch $<0:7>$ は、図1中のE-Fuse ProgramData 18に相当する。

【0072】また、前記Latch 信号が活性化される前に、入力FA $<0:7>$ と現在のラッチ出力FALatch $<0:7>$ を排他的ノア回路53で比較し、その比較出力信号FA comp $<0:7>$ とFE comp 信号は NAND回路54に入力し、bFuse comp n信号が outputする。

【0073】即ち、前記Latch 信号が活性化される前に、入力FA $<0:7>$ と現在のラッチ出力FALatch $<0:7>$ を¹⁰排他的ノア回路53で比較し、スペアエレメント内の全ビットがヒットする、あるいはラッピングされているFEが“L”(未プログラム)の場合に、bFuse comp n信号を活性化(“H”)する。

【0074】なお、前記Latch 信号生成回路50は、図1中のProgram Latch enable回路20から入力されるLatch Enable信号と図1中の不良アドレスカウンタ回路22から入力される相補信号xFP $<1>$ (FP $<1>$ およびbFP $<1>$)のうちの一方、xFP $<0>$ (FP $<0>$ およびbFP $<0>$)のうちの一方とをデコードし、Latch 信号を活性化する。ここで、FP $<1>$ 、bFP $<1>$ 、FP $<0>$ 、bFP $<0>$ とE-Fuseの位置情報(Fuse element No.)であるNo.0～No.3との関係を図5(b)に示す。

【0075】例えば、Fuse element No.1においては、bFP $<1>$ 、FP $<0>$ がそれぞれ“1”的場合にLatch Enable信号が活性化すると、Latch 信号が活性化され、このLatch 信号により前記FE入力とFA $<0:7>$ 入力をラッチ回路51、52でラッピングすることが可能になる。

【0076】図6は、図1中のProgram Latch enable回路20の構成の一例を示す。³⁰

【0077】図1中のE-Fuse Programアドレスラッチ&コンペア回路17群から出力される複数ビット(スペアエレメントの箇所数、本例では4ビット)のbFuse comp $n:0>$ 信号が NANDゲート55に入力し、この NANDゲート55の出力がノアゲート56に入力し、このノアゲート56の出力がインバータ回路57を経てCount UP Enable 信号26となる。また、上記Count UP Enable 信号および図1中のMSB latch 回路24から入力されるMSB latch 信号(後述するプログラム済みのFuse element数をカウントして同一エレメントへの多重プログラムを防ぐための)がナ⁴⁰ンドゲート58に入力し、この NANDゲート58の出力が遅延回路(Delay Circuit)59を経てLatch Enable信号21となる。

【0078】したがって、bFuse comp $n:0>$ 信号入力の全ビット内の1ビットでもミスマッチ(“L”)の場合には、新たな不良アドレスを検知したことになり、Count Up Enable 信号26を活性化(“H”)する。

【0079】このように新たな不良アドレスを検知してCount Up Enable 信号26を活性化(“H”)し、かつ、MSB latch 信号25入力が後述するようにプログラム済みの⁵⁰

14

Fuseelement数をカウントして同一エレメントへの多重プログラムを防ぐために活性化(“H”)した場合には、Latch Enable信号21を非活性化(“L”)する。

【0080】図7(a)および(b)は、図1中のMSB latch 回路24の構成およびその動作波形の一例を示す。

【0081】図7(a)に示すMSB latch 回路において、図1中の不良アドレスカウンタ回路22から入力される信号FP $<2:0>$ のうちのFP $<2>$ はインバータ回路60に入力し、このインバータ回路60の出力と前記信号FP $<2:0>$ のうちFP $<1>$ およびFP $<0>$ はノアゲート61を経て信号Inとなる。この信号Inは、後述する信号SW=“H”/bSW=“L”によりオン状態にスイッチ制御されるトランジスタXfer1を経た後にインバータ回路62に入力する。このインバータ回路62の出力ノードには、インバータ回路63の入力ノードが接続されるとともに NANDゲート64の出力ノードが接続される。上記インバータ回路63の出力ノードは、上記NANDゲート64の一方の入力ノードに接続されるとともにインバータ回路65の入力ノードに接続される。このインバータ回路65の出力信号は、インバータ回路66を経てMSB latch 信号25になり、遅延回路(Delay Circuits)67を経て前記信号SWになり、この信号SWはインバータ回路68により反転されて前記信号bSWとなる。そして、前記NANDゲート64の他方の入力ノードには、図1中のMode Selector 102から出力されるE-Fuse制御信号103中のRST 信号がインバータ回路69を経て入力する。

【0082】次に、このMSB latch 回路の動作について、図7(b)に示す波形を参照しながら説明する。まず、RST 信号が活性化(“H”)することにより初期化されると、インバータ回路69の出力b0RSTが“L”、NANDゲート64の出力bDTが“H”、インバータ回路63の出力が“L”、インバータ回路65の出力が“H”、MSB latch 信号が“L”になる。この時、Delay Circuits67の出力信号SW=“H”、インバータ回路68の出力信号bSW=“L”になり、トランジスタXfer1がオン(on)状態になる。

【0083】この後、FP $<2:0>$ 入力のうちの下位2ビットFP $<1:0>$ が最大値になってMSB(=FP $<2>$)にキャリーされるビットの組み合わせになった時、つまり、FP $<2:0>$ =“100”になった時、信号Inが“H”になる。これにより、インバータ回路62の出力が“L”、インバータ回路63の出力が“H”、インバータ回路65の出力が“L”、MSB latch 信号が“H”(活性化)になる。この時、Delay Circuits67の出力信号SW=“L”、インバータ回路68の出力信号bSW=“H”になり、トランジスタXfer1がオフ(of f)状態になり、これ以降は前記RST 信号が活性化されない限り、MSB latch信号が“H”に固定される。

【0084】上記したようにビットFP $<1:0>$ が最大値に達することは、全スペアエレメント数にプログラムがなされたことを意味し、その後のFP $<2>$ へのキャリー(“0”→“1”的遷移)でMSB latch 信号が“H”になって固

15

定されることにより、前記Program Latch enable回路20に対してLatch Enable信号21を活性化させないように、つまり、多重プログラムを防ぐように制御することが可能になる。

【0085】図8は、図1中のE-Fuse Program回路27の動作波形を示している。

【0086】次に、図8を参照しながらE-Fuseのプログラム動作を概略的に説明する。

【0087】Mode Selector 102 から入力するE-Fuse制御信号103 中のRST 信号が活性化されると、不良アドレスカウンタ回路22およびMSB latch 回路24が初期化され、カウンタ出力FP<2:0>="111" およびMSB latch ="L" にセットされる。

【0088】この後、新たな不良アドレスが発生した場合が感知されると、FAIL FLAG 14が活性化され、不良アドレスデコード回路15から信号FEと不良感知時の例えはカラムアドレスCA<0:7> に準じた信号FA<0:7> が output する。これにより、E-Fuse Programアドレスラッチ&コンペア回路17群から出力される信号bFuse comp <n:0>信号19のうちの1ビットが"L" になり、Program Latch enable回路20からCount UpEnable 信号26が活性化されて出力される。

【0089】これにより、不良アドレスカウンタ回路22がカウントアップし、カウンタ出力FP<2:0>="000" になる。この時、MSB latch 回路24の出力信号MSB latch ="L" であるので、Program Latch enable回路20から出力するLatch Enable信号21が活性化されて出力される。これにより、E-Fuse Programアドレスラッチ&コンペア回路17群に入力する信号FP<1:0>="00" に対応するアドレスのスペアエレメントにFE="H"、FA<0:7>=CA<0:7> がラッチされ、プログラムされる。

【0090】この後、プログラム済みアドレスに再度不良が発生した場合、上記した動作と同様に、Program Latch enable回路20からCount Up Enable 信号26が活性化されて出力される。しかし、この時、既に信号FP<1:0>="00" に対応するアドレスのスペアエレメントがプログラム済みであるので、bFuse comp <n:0>信号19のうちのbFuse comp <0>="H"、残りのビットはFE="L"、つまり、未プログラムであり、bFuse comp <n:1>="H" になり、Count Up Enable 信号26="L" になり、カウンタ出力FP<2:0> は遷移せず、FP<2:0>="000" のままになる。そして、Latch Enable信号21も非活性状態のままであり、E-Fuse Programアドレスラッチ&コンペア回路17群ではプログラム動作は発生しない。

【0091】次に、スペアエレメントの全てがプログラム済みになった後に新たな不良アドレスが発生した場合には、上記した動作と同様に、Program Latch enable回路20からCount Up Enable 信号26が活性化されて出力される。この時、カウンタ出力FP<2:0> の下位2ビットFP<1:0> は"11"→"00"に遷移し、MSB が"0"→"1" に桁上⁵⁰

16

げし、FP<2:0>="100" になる。そして、不良アドレスカウンタ回路22から出力されたFP<2:0>="100" がMSB latch 回路24でラッチされ、MSB latch 信号25が活性化される。そして、上記MSB latch 回路24は、前記RST 信号が活性化されるまで、今後いかなるFP<2:0> 信号が入力されても、MSB latch 信号25を活性化し続ける。したがって、その後は、Program Latch enable回路20から出力するLatchEnable信号21は活性化されず、プログラム済みのスペアエレメントへの多重書き込みを禁止することが可能になる。

【0092】この後、PASS/FAIL判定回路13でFAILと判定された場合、FAIL FLAG 14が活性化されると、不良アドレスデコード回路15から、信号FEがout力されるとともに、不良アドレスとしてColumn Address6 (あるいはRow Address 3) がFA<0:7> として出力される。E-Fuse Programアドレスラッチ&コンペア回路17群は、上記信号(FE、FA<0:7>) が入力された時、Latch Enable信号21が活性化されていないので、Latch 信号も非活性状態である。そして、排他的ノアゲートで現在の不良アドレスFA<0:7> とFEビットとを比較する。不良が初めて発生した場合、全てのFuse ElementのFEビットが"L" であるので、FE comp は"L" になり、bFuse comp<n:1>="H" になる。

【0093】デバイスの全てのメモリ空間で不良アドレス検出テストが終了した後には、E-Fuse Programアドレスラッチ回路17群に不良アドレスに該当するE-Fuse ProgramData 18が記憶されている。

【0094】次に、外部制御信号101 群に任意波形を入力してMode Selector 102 から出力するE-Fuse制御信号103 をE-Fuseプログラムモードにする。これにより、E-Fuse Programアドレス信号16のラッチデータを出力し、E-Fuse Program回路27の制御信号を受けてE-Fuseエレメント&Fuse data ラッチ回路28のプログラム動作が行われる。

【0095】上記プログラム後に、外部制御信号101 群に任意波形を入力して通常動作状態に戻す。通常動作時には、Row Address 3 またはColumn Address 6が入力されると、この信号はE-Fuseエレメント&Fuse data ラッチ回路28にプログラムされたデータとリダンダシ判定回路29で比較され、両アドレスが一致すると、ノーマルアレイイネーブル信号をディセーブル状態にしてノーマルアレイへのアクセスを禁止し、ロウあるいはカラムのスペアアレイイネーブル信号(Spare Array Enable) 50を活性化してスペアアレイ(Spare Array) へのアクセスを許可する。なお、カラムスペアアレイへの置き換え、ロウスペアアレイへの置き換えは、ほぼ同様な構成により可能である。

【0096】即ち、上記実施形態のデバイスにおいては、メモリコアから読み出されるデータと内部あるいは

外部から入力される期待値を比較しFAIL信号を出力する回路と、FAIL信号のFAILを感知した時のアドレス情報をラッチする複数の回路と、E-Fuse群とそのデータをラッチする回路と、E-FuseのProgram/Readの制御信号を生成する回路からなる。

【0097】テスト時に不良アドレスを情報を持たせたアドレスラッチ回路に記憶して、テスト終了後に外部から任意トリガ信号でProgram Enable信号が活性化されて、E-Fuse Program回路がProgram ModeになりProgram 制御信号群(例えは高電圧印加信号など) をE-Fuseに供給する。また、不良アドレスラッチ回路から各E-Fuseエレメントに不良アドレス情報が供給され、Program 制御信号によりE-FuseにProgramされる。

【0098】したがって、上記実施形態のデバイスによれば、複数のE-Fuseセットのプログラムをデバイスの内部で自動的に行い、且つ、全てのE-Fuseセットのプログラムを一括して行うことができる。この場合、1つのE-Fuse当たりの回路素子数は増えるが、ウェハレベルのダイソートテストでスクリーニングが不可能であった信頼性要因の不良をパッケージテストの段階で救済すること 20 が可能になる。しかも、メモリチップの不良の発生は、主にビット不良であり、不良ビット数も数ビットと少ない傾向があるので、E-Fuseのスペア数はウェハレベルのダイソートテストの段階で置き換えるスペア数と比べて小規模で済み、回路素子数の増加によるチップ面積への影響は小さい。したがって、既存のパッケージテスト用のテスターによる比較的簡単な設備でテスト時間を殆んど増加させることなく不良セルを置換することが可能になる。

【0099】なお、図示しないが、前記MSB latch 回路 30 24から出力するMSB latch 信号25を外部に出力して救済可否を知らせるように構成することができる。

【0100】また、図示しないが、前記MSB latch 回路 24から出力するMSB latch 信号25が“L”で、かつ、FP<2:0>=“111”的状態であれば、カウントアップされていないことを外部に出力して不良発生の有無を知らせるように構成することができる。

【0101】

【発明の効果】上述したように本発明の半導体記憶装置によれば、複数のE-Fuseセットのプログラムを内部で自動的に行い、且つ、全てのE-Fuseセットのプログラムを一括して行うことが可能になるので、既存のパッケージテスト用のテスターによる比較的簡単な設備でテスト時間を殆んど増加させることなく不良セルを置換することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るメモリ集積回路の一例の構成の概念を示すブロック図。

【図2】図1中のメモリセルアレイに接続されている回路群およびパス／フェイル判定回路の一例を示す回路図。

【図3】図1中のE-Fuseエレメント&Fuse Data ラッチ回路群で取り扱うFuse Data の構成の一例を示す図。

【図4】図1中の不良アドレスデコード回路の構成の一部およびその動作波形の一例を示す図。

【図5】図1中のE-Fuse Programアドレスラッチ&コンペア回路群の構成の一例を示す回路図及びFP<1>、bFP<1>、FP<1>、bFP<0>とE-Fuseの位置情報(Fuse element No.) であるNo. 0～No. 3との関係を示す図。

【図6】図1中のProgram Latch enable回路の構成の一例を示す回路図。

【図7】図1中のMSB latch 回路の構成およびその動作波形の一例を示す図。

【図8】図1中のE-Fuse Program回路27の動作波形を示す図。

【図9】従来の半導体メモリのパッケージテストを行うテスト系の概念図を示す図。

【図10】半導体メモリに内蔵された複数のE-Fuseエレメントを選択的にプログラムするE-Fuse Program回路の従来のブロック構成を示す図。

【図11】図10中のE-Fuseエレメント&Fuse data ラッチ回路のE-Fuseエレメントの1ビット分の具体例を示す回路図。

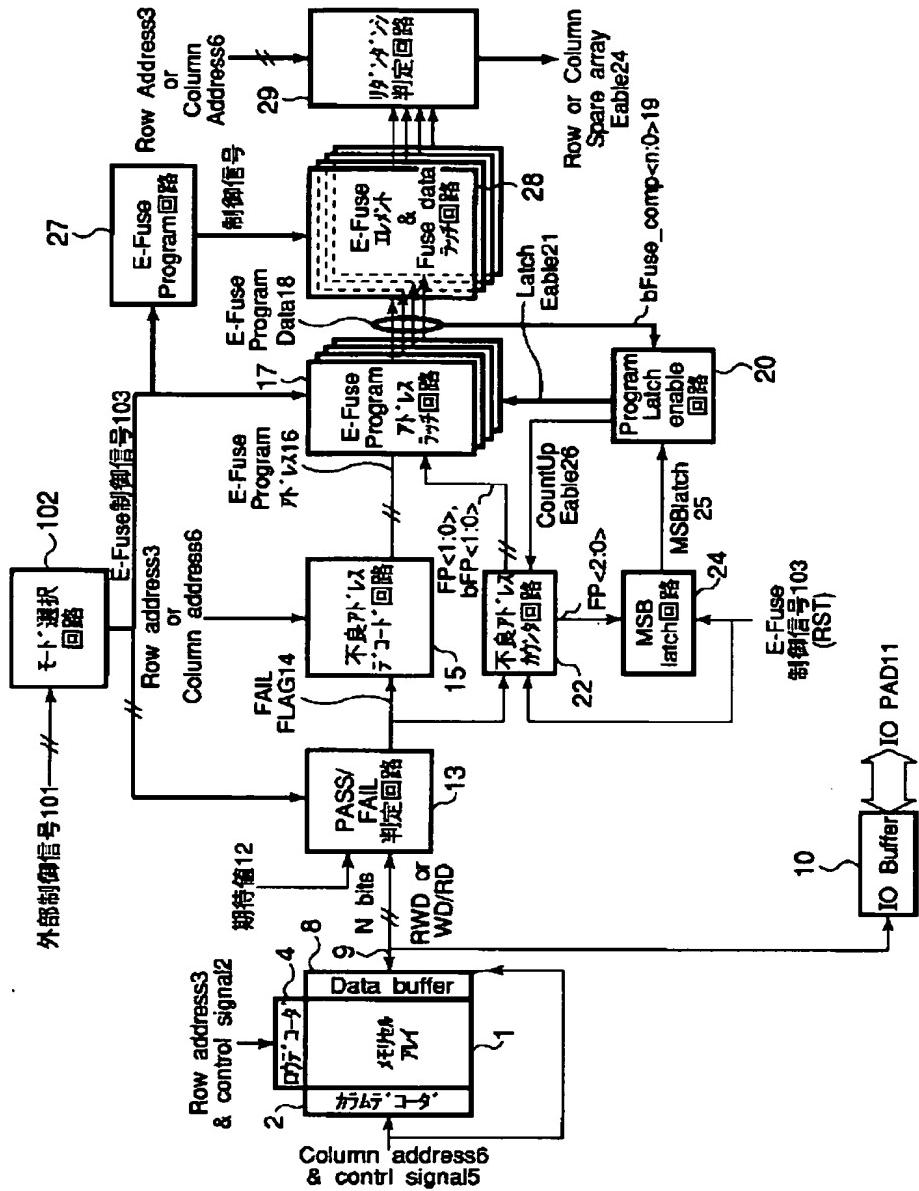
【図12】図11のE-Fuseエレメント&Fuse data ラッチ回路のプログラム／ベリファイ(Program／Verify)動作およびデータラッチ(data latch)動作のシーケンスの一例を示す図。

【図13】従来のE-Fuse Program回路を内蔵したメモリデバイスのパッケージテストを行うために考えられるテスト系の概念図を示す図。

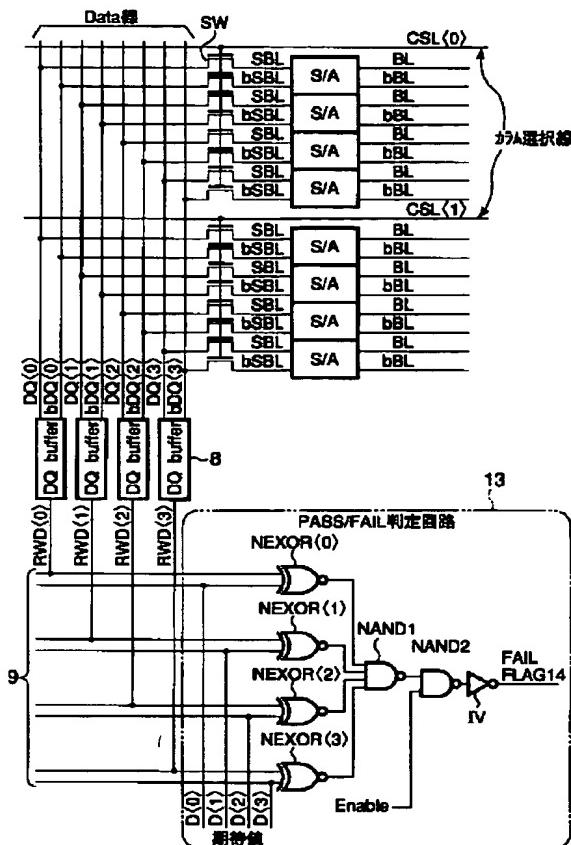
【符号の説明】

- 1 …メモリセルアレイ、
- 8 …データバッファ、
- 9 …データバス、
- 102 …Mode Selector (モード選択回路)、
- 13…PASS／FAIL判定回路(パス／フェイル判定回路)、
- 15…不良アドレスデコード回路、
- 17…E-Fuse Program・アドレスラッチ&コンペア回路、
- 20…プログラム・ラッチ・イネーブル(Program Latch enable)回路、
- 22…不良アドレスカウンタ回路、
- 24…MSB latch 回路、
- 27…E-Fuse Program回路、
- 28…E-Fuseエレメント&Fuse data ラッチ回路、
- 29…リダンダンシ判定回路。

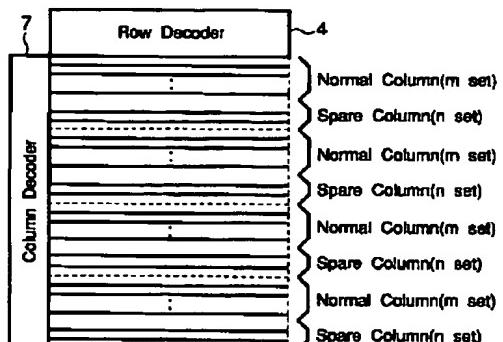
【図1】



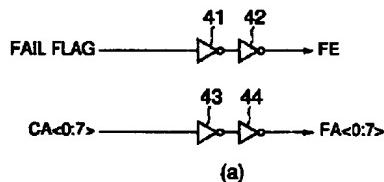
【図2】



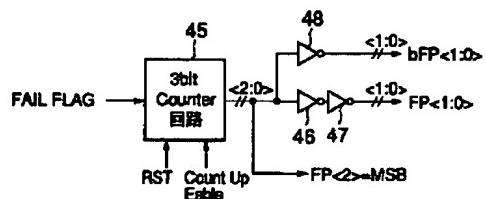
【図3】



【図4】

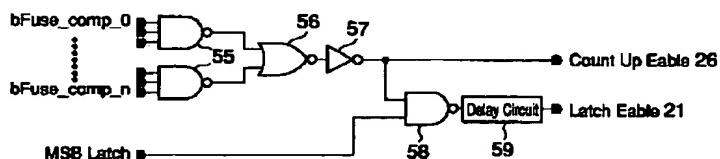


(a)

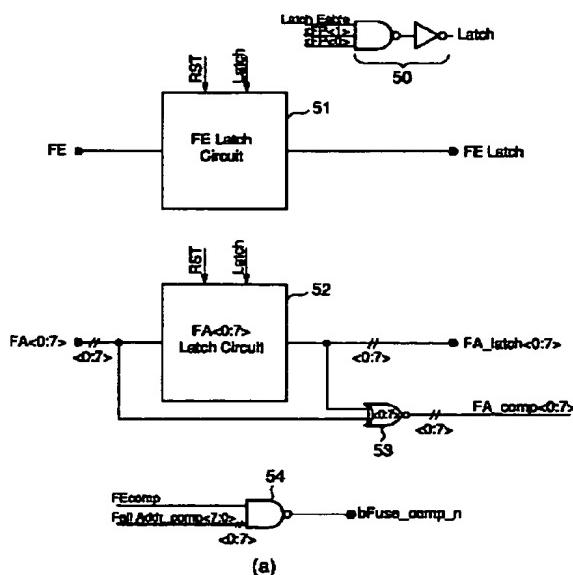


(b)

【図6】

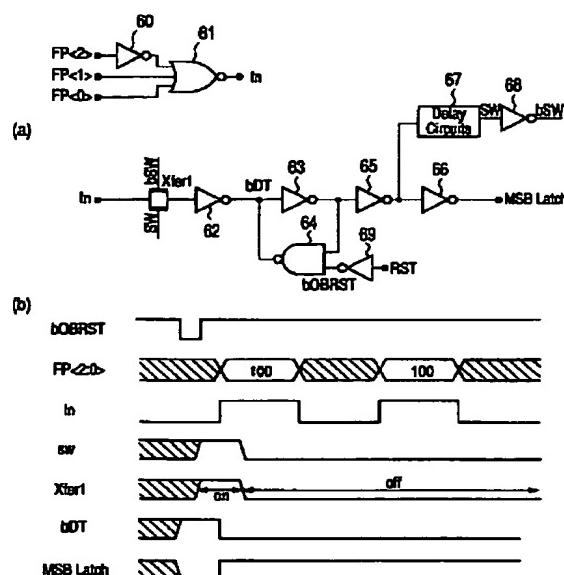


【図5】



(a)

【図7】



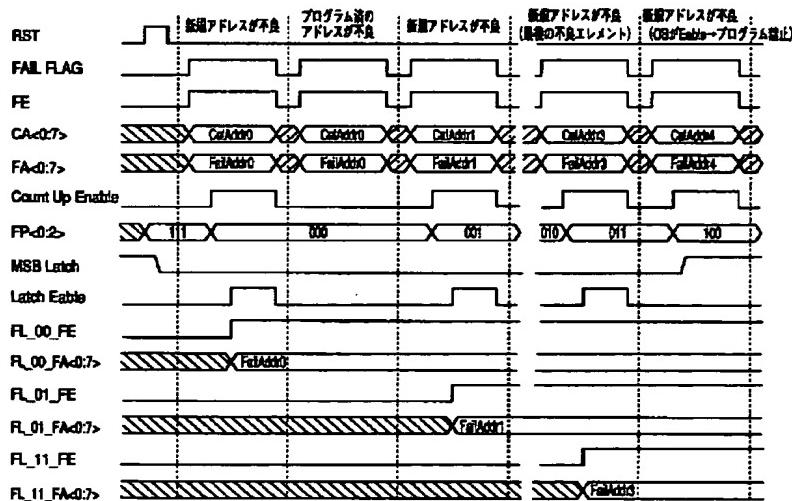
(b)

Fuse Element No. xFP<1> xFP<0>

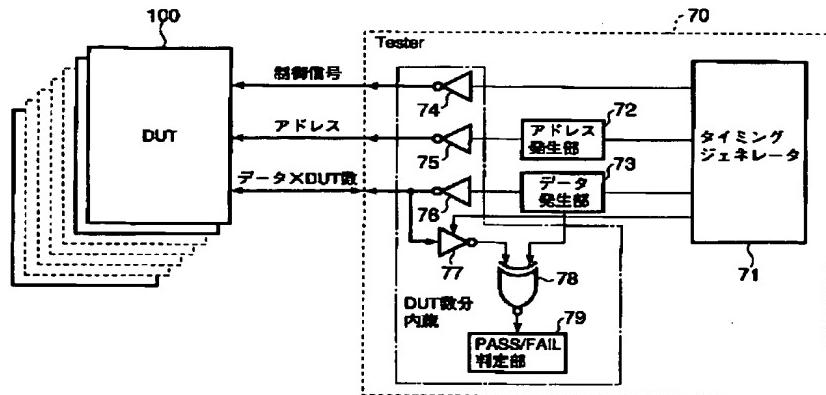
No.0	bFP<1>	bFP<0>
No.1	bFP<1>	FP<0>
No.2	FP<1>	bFP<0>
No.3	FP<1>	FP<0>

(b)

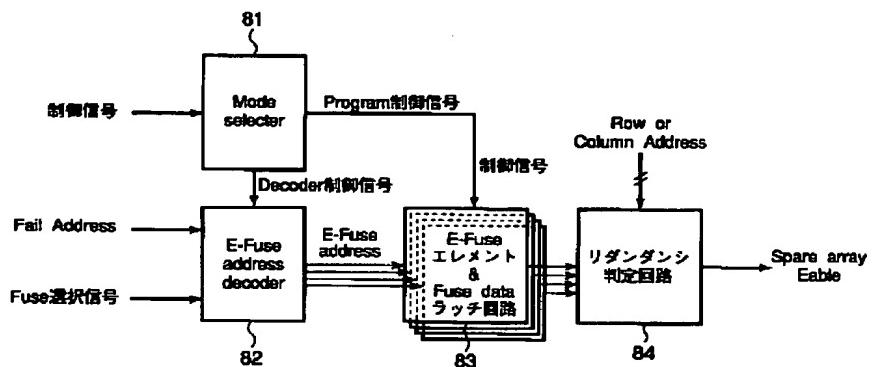
【図8】



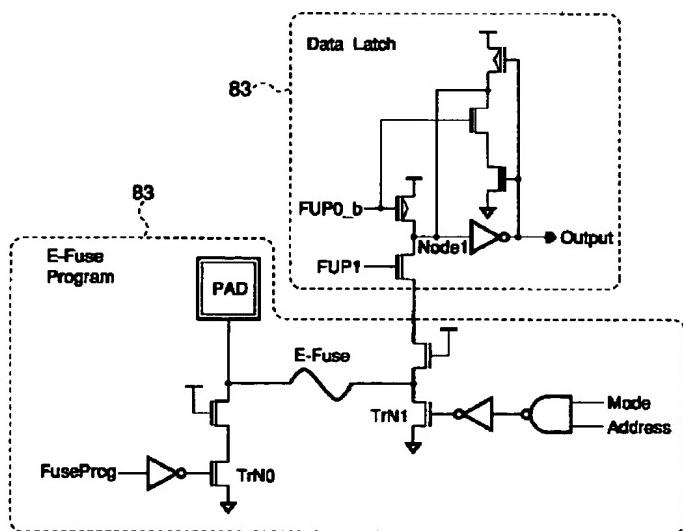
【図9】



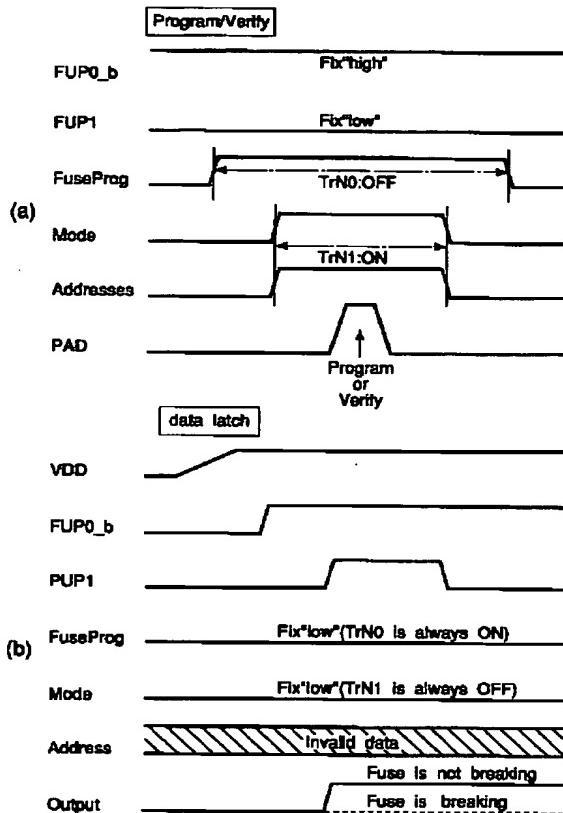
【図10】



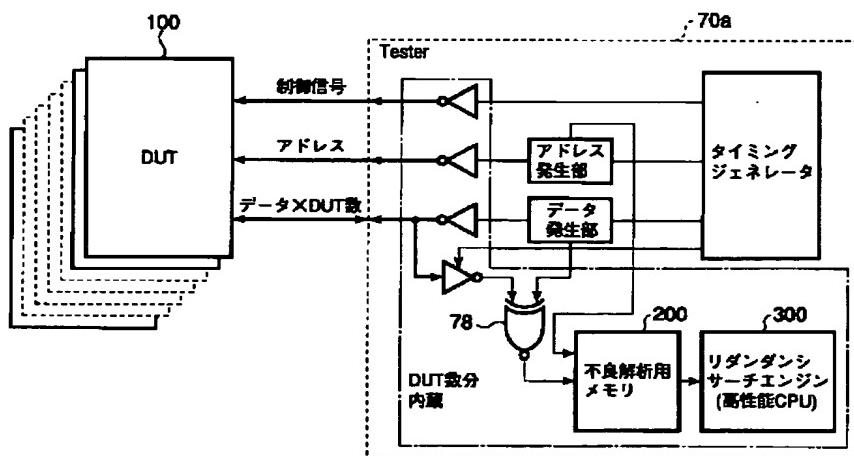
【図11】



【図12】



【図13】



フロントページの続き

F ターム(参考) 2C032 AA07 AB01 AC03 AE10 AK11
AL00
4M106 AA01 AB07 CA26 DH53 DJ38
5L106 CC04 CC14 CC17 DD03 EE02
GG05